



Министерство науки и высшего образования
Российской Федерации
Братский педагогический колледж
федерального государственного бюджетного
образовательного учреждения высшего образования
«Братский государственный университет»

АРХИТЕКТУРА АППАРАТНЫХ СРЕДСТВ

иллюстрированный материал к лекционным занятиям

для студентов II курса
очной формы обучения
специальности

09.02.07 Информационные системы и программирование

Автор: Ю.Н. Войтухов

Братск, 2020

Архитектура аппаратных средств. Иллюстрированный материал к лекционным занятиям. / Сост. Ю.Н. Войтухов.- Братск, 2020. - 18 с.

Содержит иллюстрированный материал к лекционным занятиям по дисциплине «Архитектура аппаратных средств» для студентов специальности 09.02.07 Информационные системы и программирование.

Печатается по решению научно-методического совета
Братского педагогического колледжа ФГБОУ ВО «БрГУ»
665709, г. Братск, ул. Макаренко, 40

Раздел 1.

1. Основные принципы организации ЭВМ

2. Архитектура фон-неймановской вычислительной машины

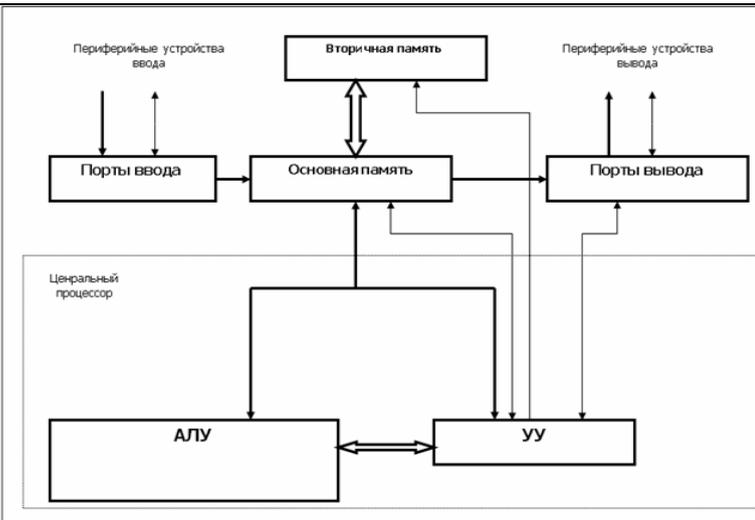


Рисунок 1.1 – Структура фон-неймановской вычислительной машины

3. Типы структур вычислительных систем и вычислительных машин



Рисунок 1.2 – Структура ВМ на базе общей шины



Рисунок 1.3 – Структура ВС с общей памятью



Рисунок 1.4 – Структура распределенной ВС

Раздел 2. Архитектура системы команд

4. Характеристики системы команд

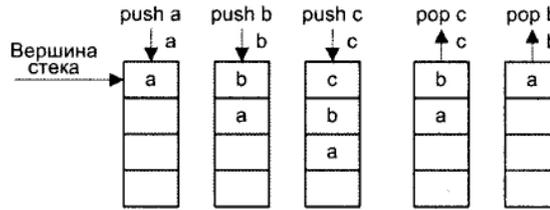


Рисунок 2.1 – Принцип действия стековой памяти

5. Основные типы данных

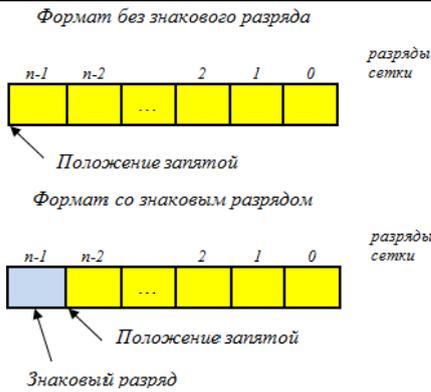


Рисунок 2.2 – Форматы представления правильных дробей

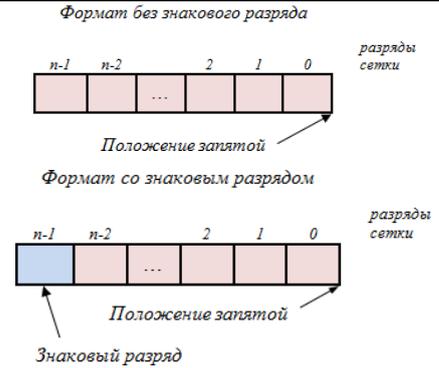


Рисунок 2.3 – Форматы представления целых чисел

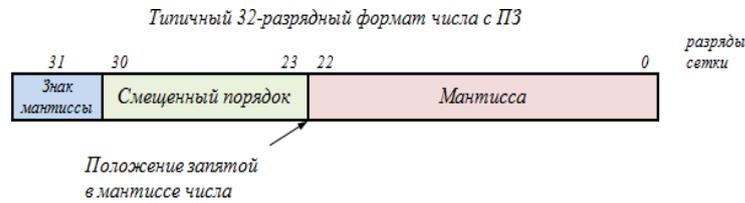


Рисунок 2.4 – Формат числа с плавающей запятой

6. Типы команд

7. Форматы команд

Код операции (Коп)	Способ адресации (СА)	Адресная часть
--------------------	-----------------------	----------------

Рисунок 2.5 – Обобщенный формат команды

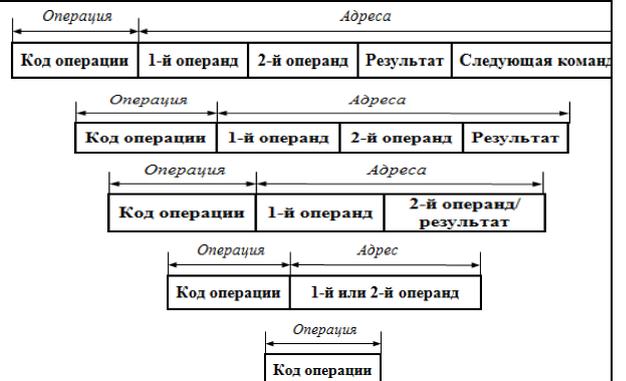


Рисунок 2.6 – Адресность команд

8. Типы адресации

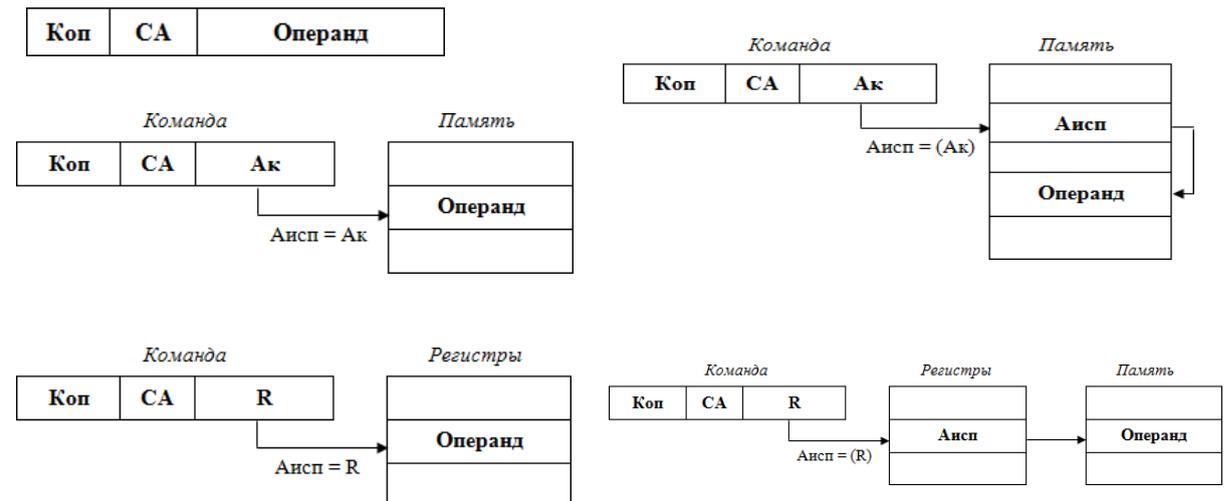


Рисунок 2.7 – Типы адресации

9. Функциональная схема фон-неймановской вычислительной машины

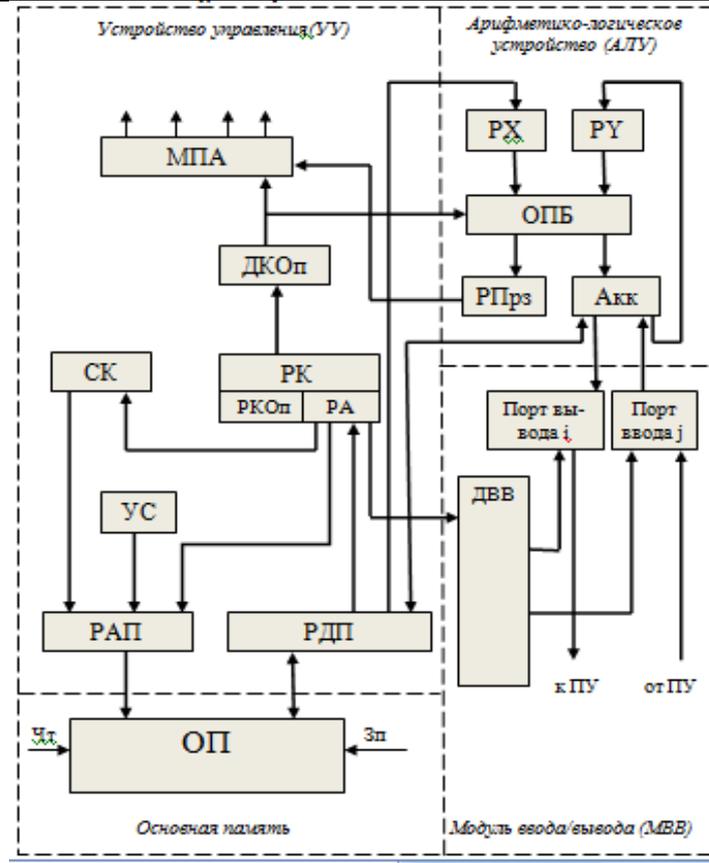


Рисунок 3.1 – Функциональная схема гипотетической фон-неймановской ЭВМ

10. Цикл команд

Раздел 4. Организация шин

11. Типы шин

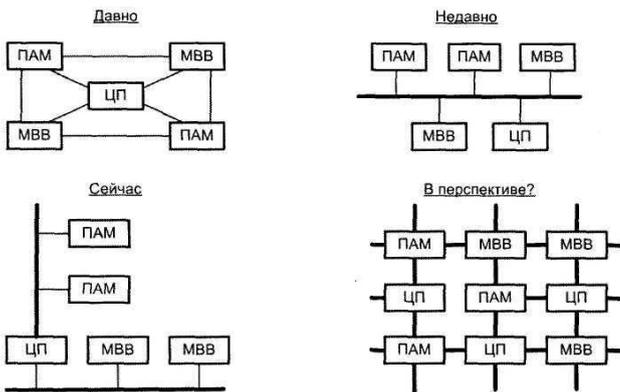


Рисунок 4.1 – Эволюция структур взаимосвязей (ЦП – центральный процессор, ПАМ – модуль основной памяти, МВВ – модуль ввода/вывода)

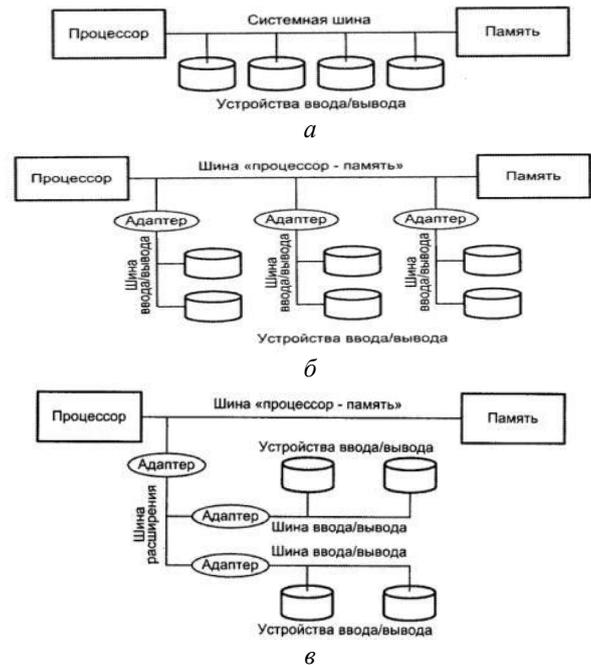
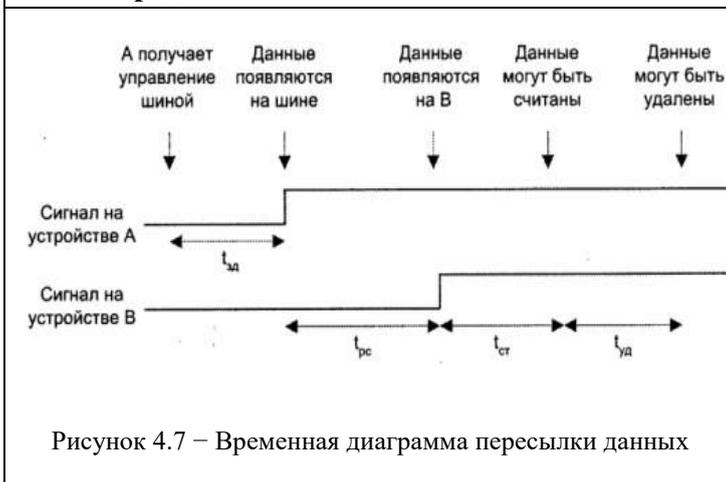
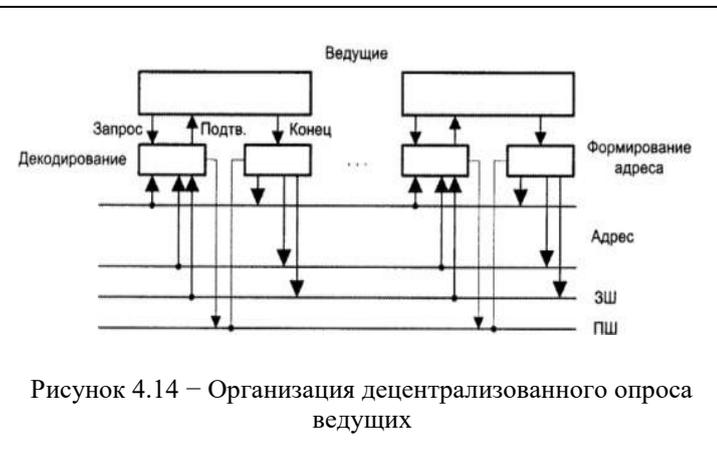
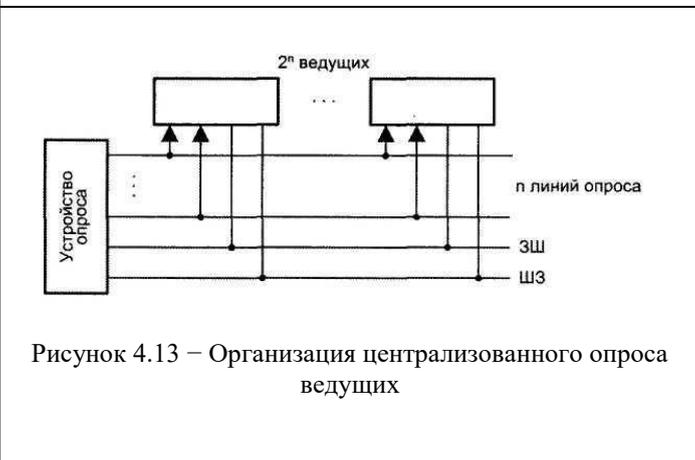
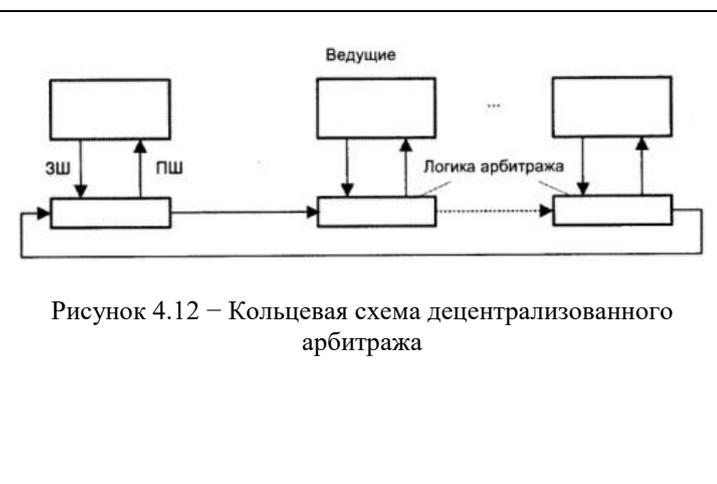
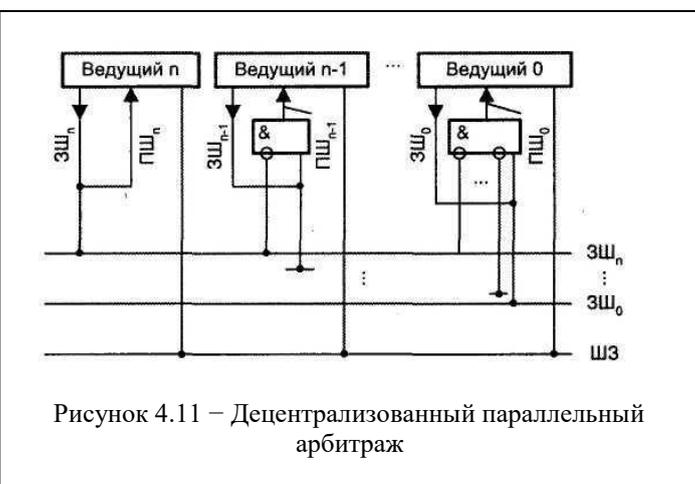
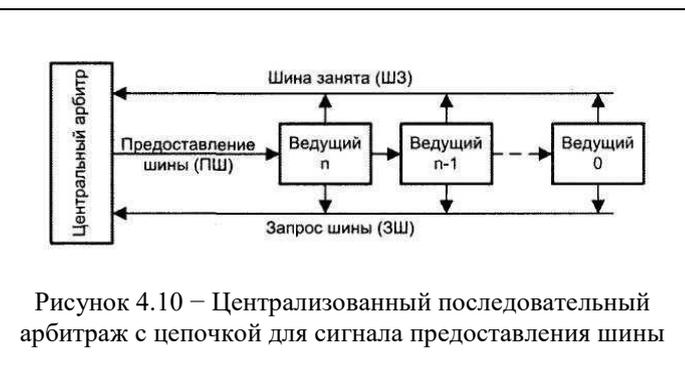
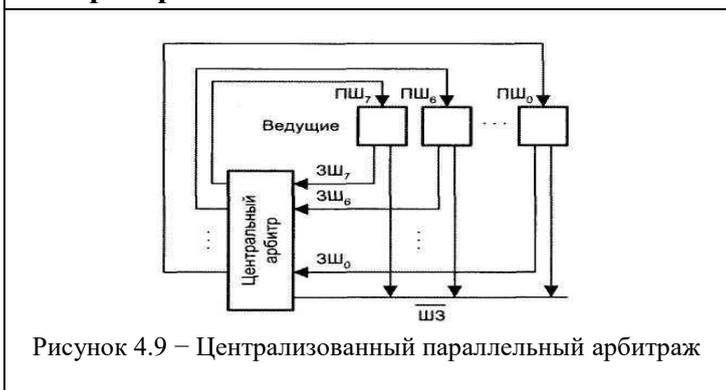


Рисунок 4.4 – Структура взаимосвязей с одной (а), двумя (б) и тремя (в) видами шин

12. Распределение линий шин



13. Арбитраж шин



14. Протоколы шин

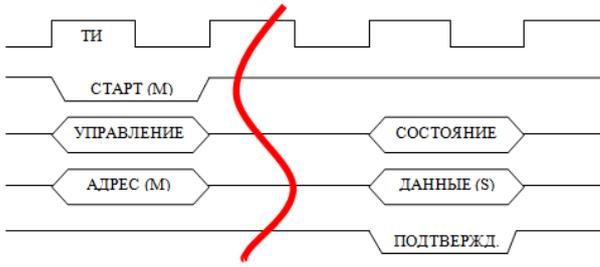


Рисунок 4.15 – Чтение на синхронной шине



Рисунок 4.16 – Чтение на асинхронной шине

15. Методы повышения эффективности шин

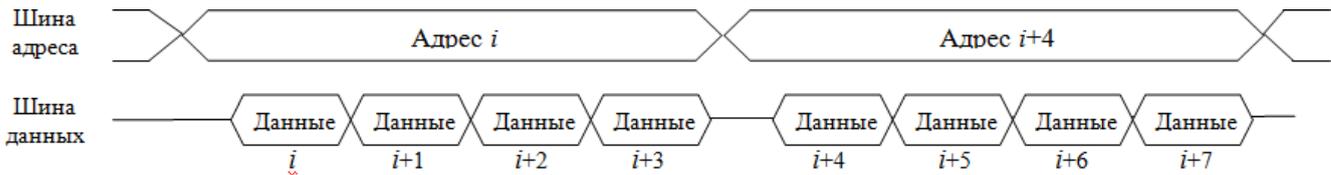


Рисунок 4.17 – Пакетный режим передачи данных

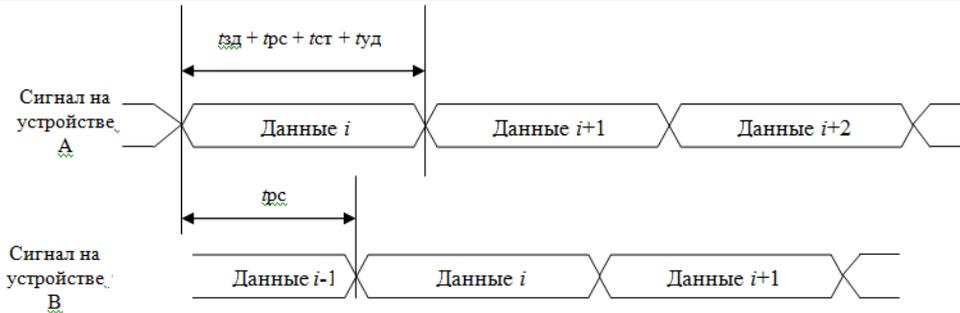


Рисунок 4.18 – Конвейеризация транзакций чтения

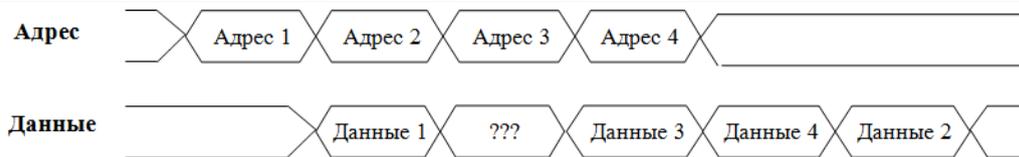


Рисунок 4.19 – Расщепление транзакций

16. Характеристики систем памяти

17. Иерархия запоминающих устройств

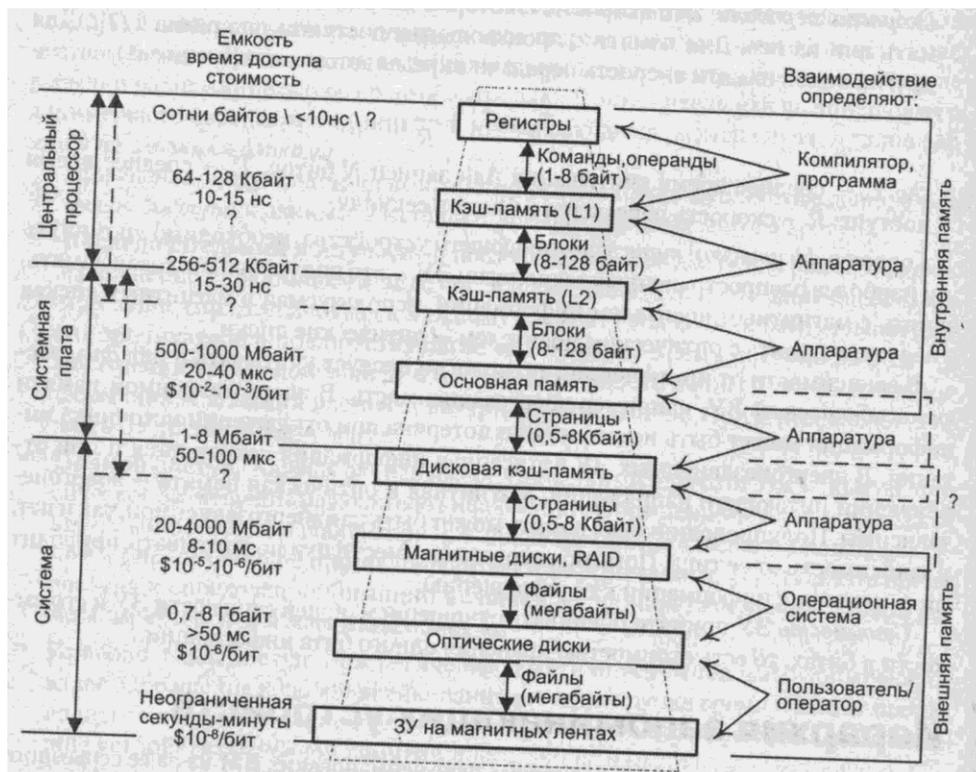


Рисунок 5.1 – Иерархия ЗУ

18. Основная память. Блочная организация памяти



Рисунок 5.2 – Структура основной памяти на основе блочной схемы

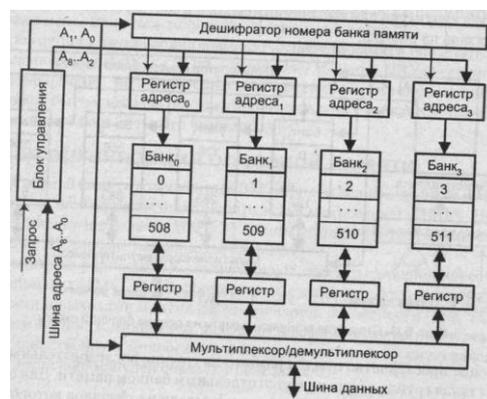


Рисунок 5.3 – Блочная память с чередованием адресов по циклической схеме



Рисунок 5.4 – Блочно-циклическая схема расслоения памяти

19. Организация микросхем памяти

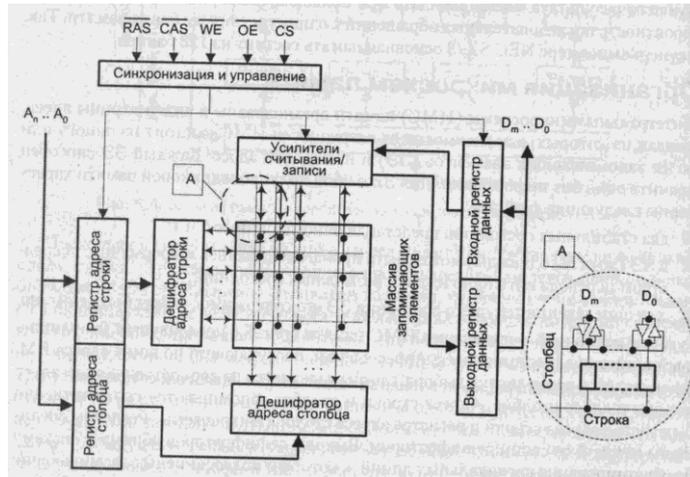


Рисунок 5.5 – Структура микросхемы памяти

20. Статическая и динамическая оперативная память

21. Постоянные запоминающие устройства

22. Специальные типы ОЗУ

23. Ассоциативная память

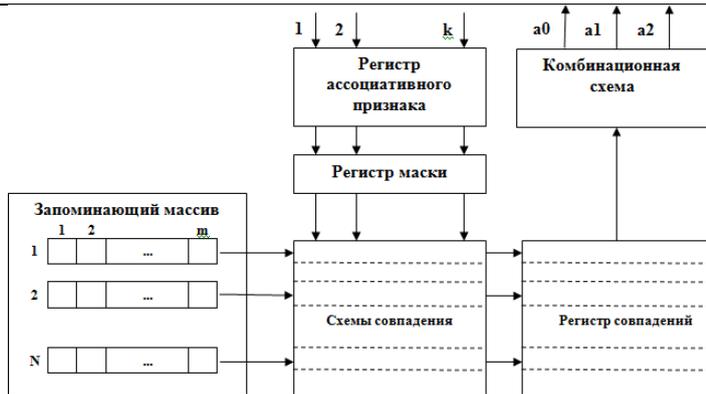


Рисунок 5.6 – Структура ассоциативного запоминающего устройства

24. Кэш-память. Основные характеристики

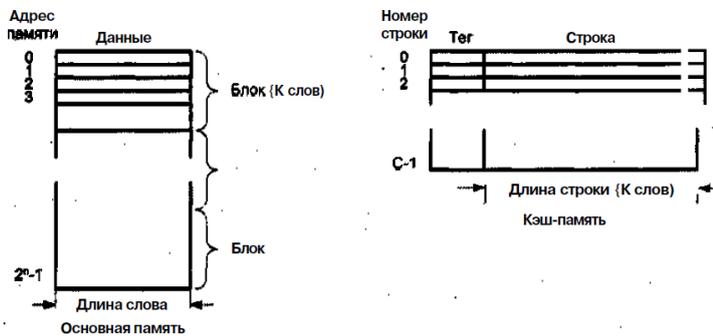


Рисунок 5.7 – Структура системы с основной и кэш-памятью

25. Способы отображения оперативной памяти на кэш-память

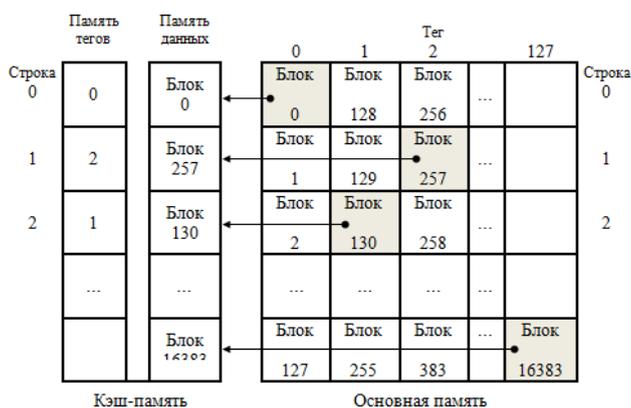


Рисунок 5.8 – Кэш-память с прямым отображением

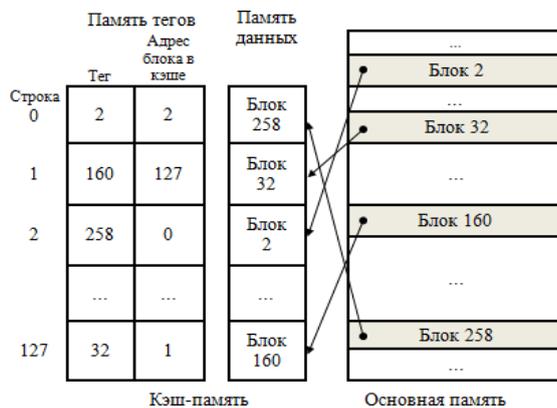


Рисунок 5.9 – Кэш-память с ассоциативным отображением

26. Алгоритмы замещения и согласования

27. Виртуальная память

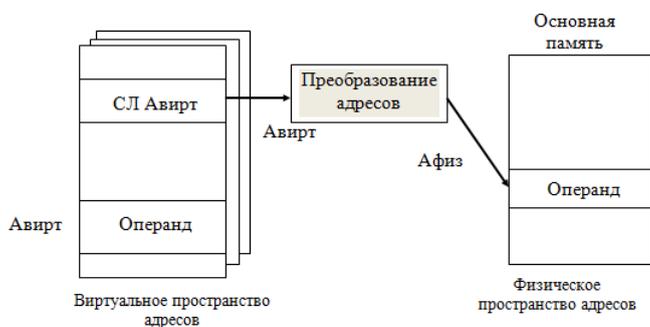


Рисунок 5.10 – Отображение виртуального адреса на физический

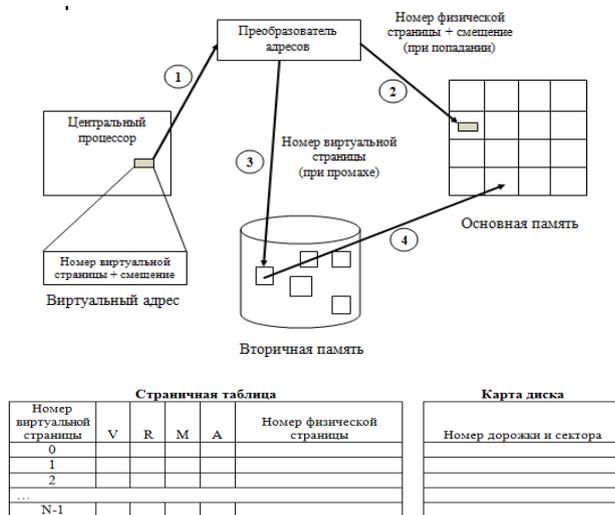


Рисунок 5.11 – Страничная организация виртуальной памяти



Рисунок 5.12 – Преобразование адреса при сегментно-страничной организации памяти

28. Внешняя память

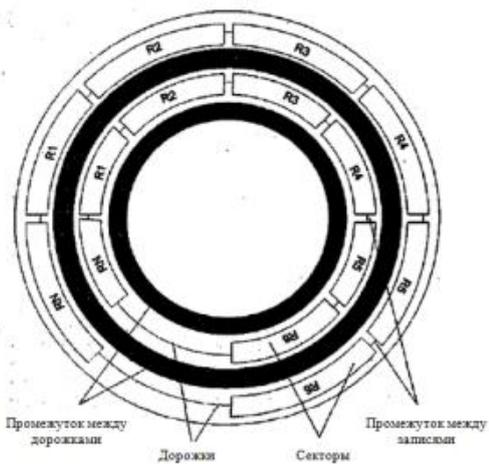


Рисунок 5.13 – Порядок размещения информации на магнитном диске

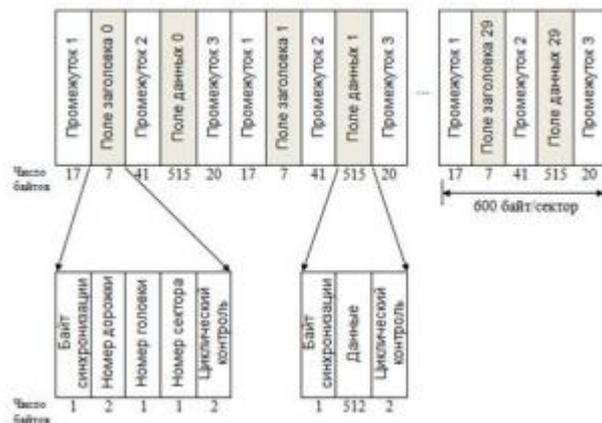


Рисунок 5.14 – Формат дорожки диска типа «Винчестер»

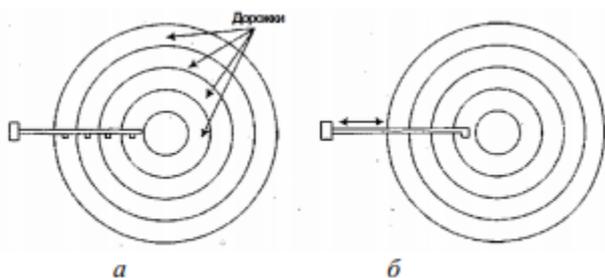


Рисунок 5.15 – Варианты организации дисков:
а – с фиксированными головками;
б – с подвижной головкой

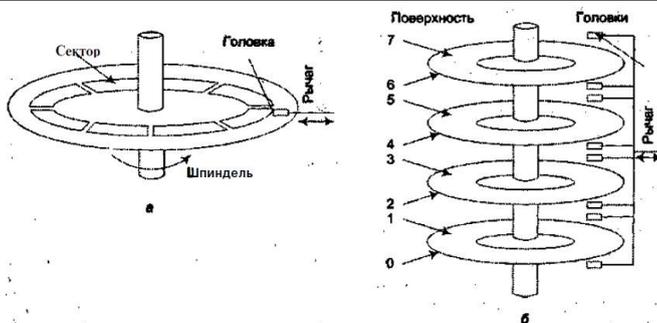


Рисунок 5.16 – Дисковое ЗУ:
а – с одной пластиной; б – с пакетом



Рисунок 5.17 – Формат блока CD-RO

29. Массивы RAID

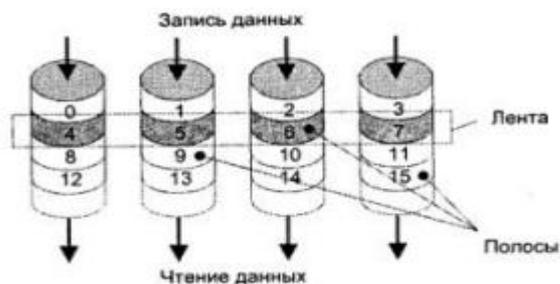


Рисунок 5.18 – RAID уровня 0

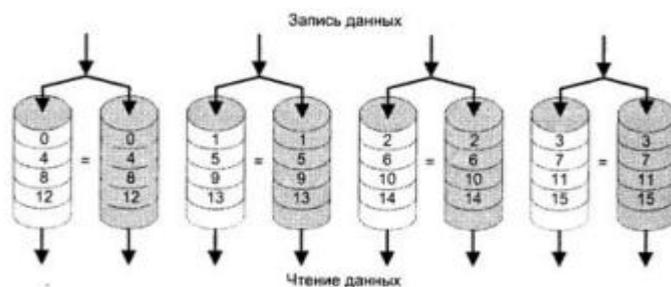


Рисунок 5.19 – RAID уровня 1

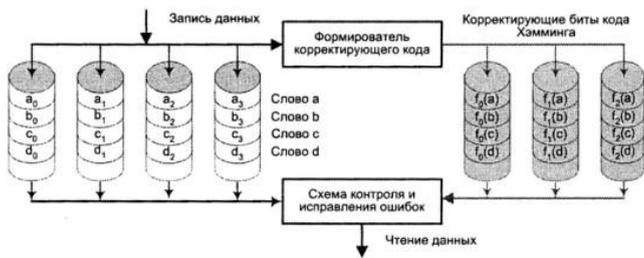


Рисунок 5.20 – RAID уровня 2

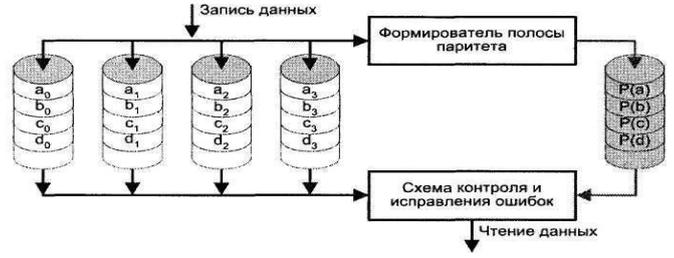


Рисунок 5.21 – RAID уровня 3

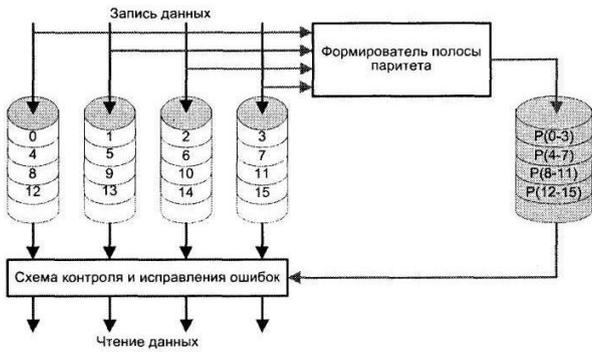


Рисунок 5.22 – RAID уровня 4

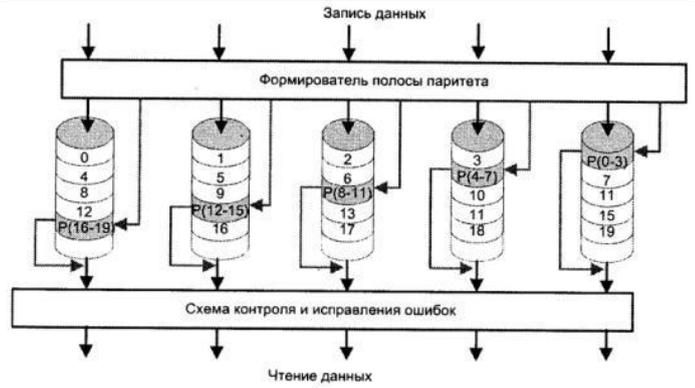


Рисунок 5.23 – RAID уровня 5

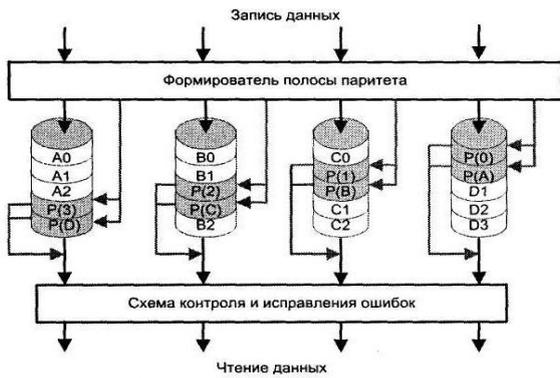


Рисунок 5.24 – RAID уровня 6



Рисунок 5.25 – RAID уровня 7

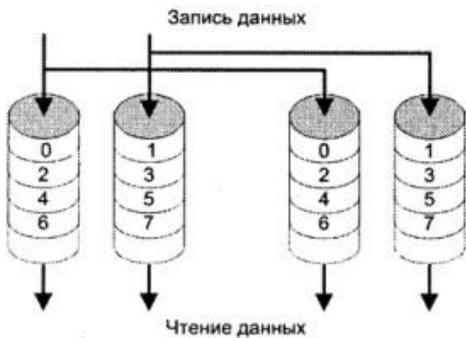


Рисунок 5.26 – RAID уровня 10

Раздел 6. Организация ввода/вывода

30. Система ввода/вывода. Основные понятия



Рисунок 6.1 – Способы подключения СВВ к ядру процессора

31. Структура внешнего устройства



Рисунок 6.3 – Структура внешнего устройства

32. Функции модуля ввода/вывода

34. Методы управления вводом/выводом



Рисунок 6.9 – Возможные конфигурации систем прямого доступа к памяти

35. Каналы ввода/вывода

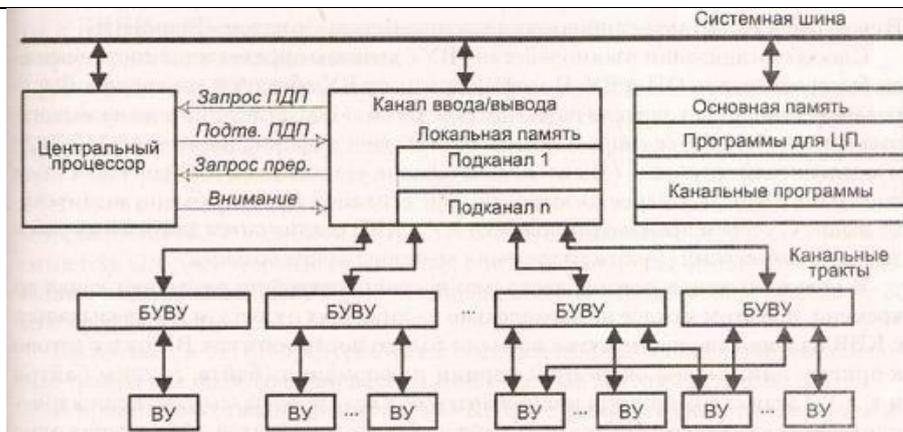


Рисунок 6.10 – ВМ с каналной системой ввода/вывода

35. Конвейеризация вычислений. Конвейер команд

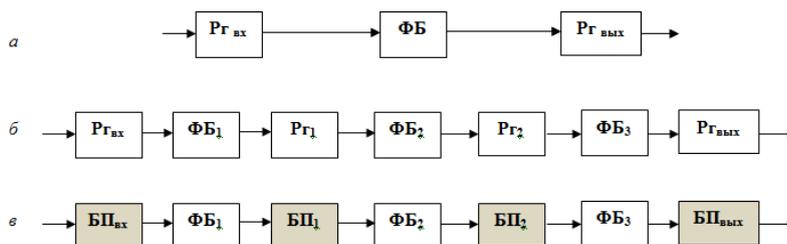


Рисунок 7.1 – Обработка информации: а – в одиночном блоке; б – в конвейере с регистрами; в – в конвейере с буферной памятью

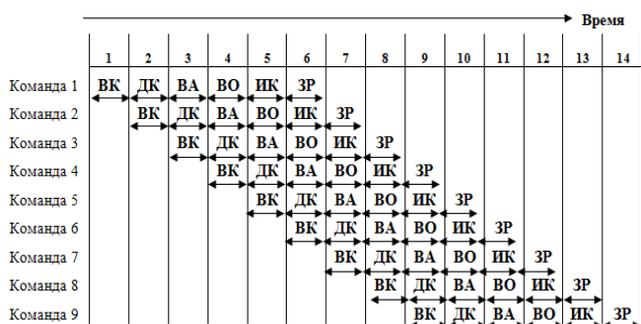


Рисунок 7.2 – Логика работы конвейера команд

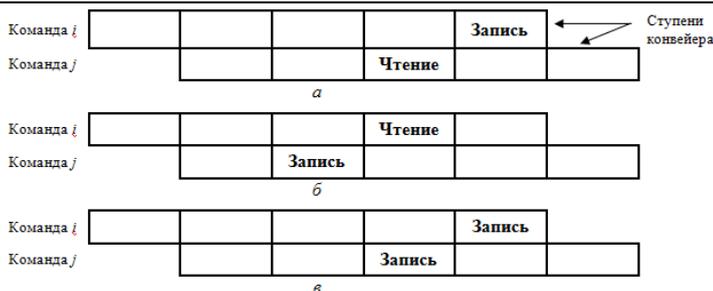


Рисунок 7.3 – Конфликты поданным: а – «Чтение после записи»; б – «Запись после чтения»; в – «Запись после записи»

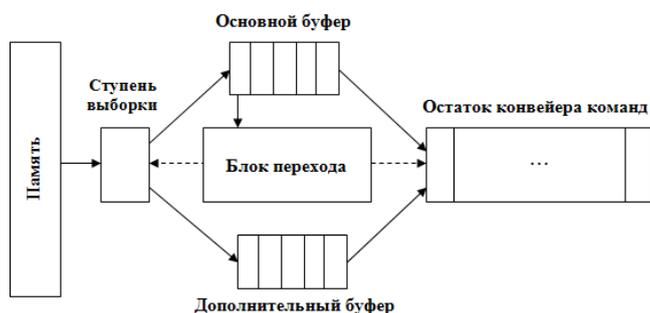


Рисунок 7.4 – Конвейер с буферами предвыборки команд

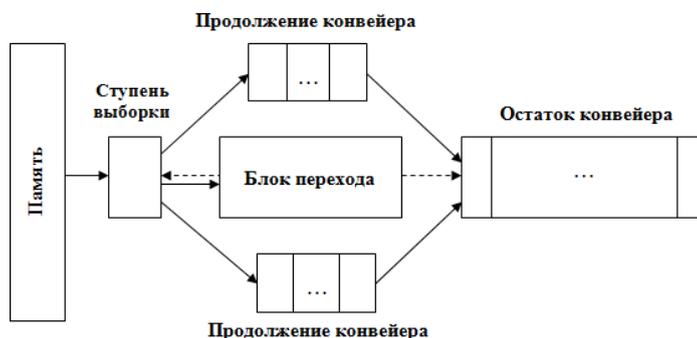


Рисунок 7.5 – Конвейер с множественными потоками

36. Суперскалярные процессоры

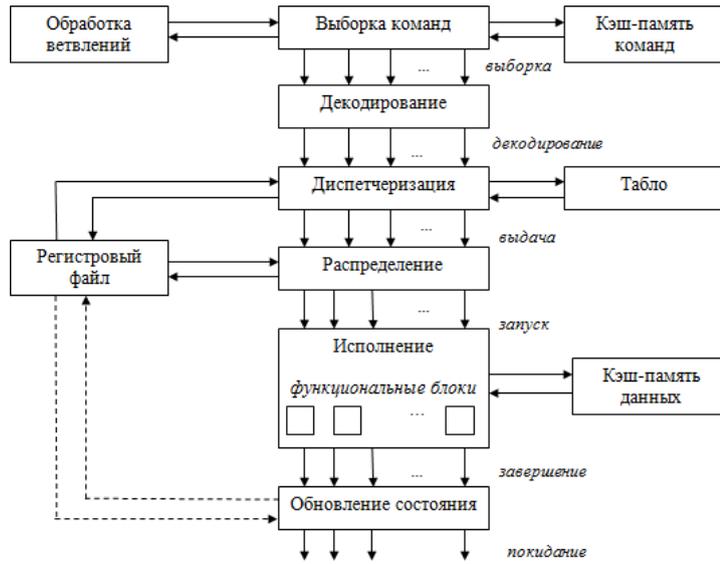


Рисунок 7.6 – Архитектура суперскалярного процессора

37. Параллельные вычисления. Уровни параллелизма

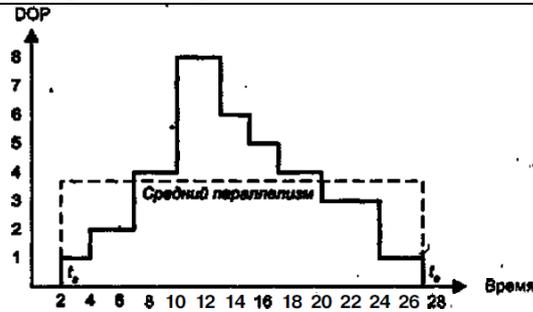


Рисунок 7.7 – Профиль параллелизма

38. Классификация параллельных вычислительных систем

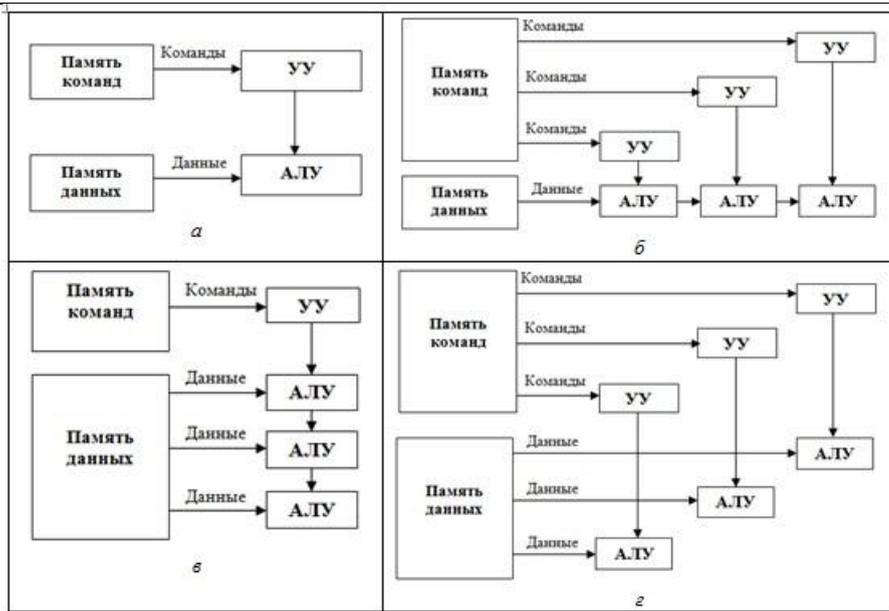


Рисунок 7.8 – Архитектура вычислительных систем по Флинну

39. Векторные вычислительные системы

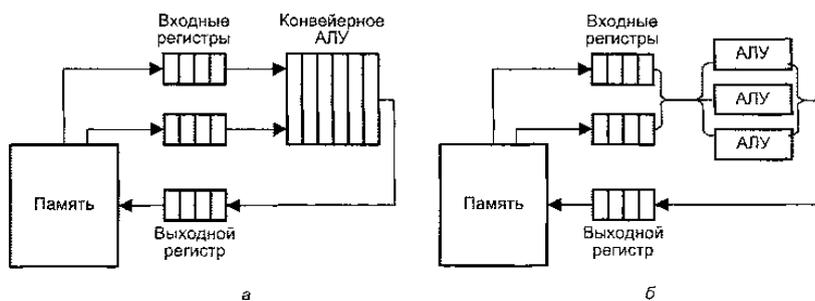


Рисунок 7.9 – Варианты векторных вычислений: *а* – с конвейерным АЛУ; *б* – с несколькими АЛУ

40. Матричные вычислительные системы

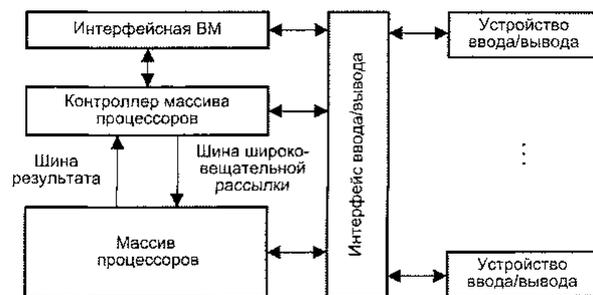


Рисунок 7.11 – Обобщенная модель матричной SIMD-системы

41. Симметричные мультимикропроцессорные системы

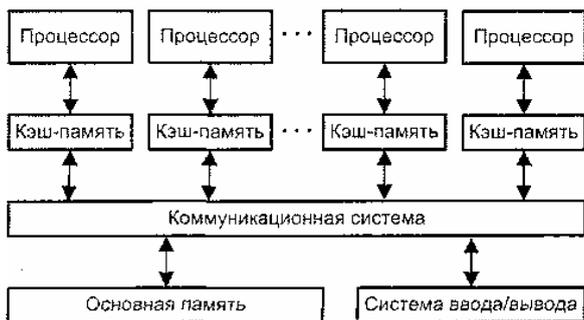


Рисунок 7.12 – Организация симметричной мультимикропроцессорной ВС

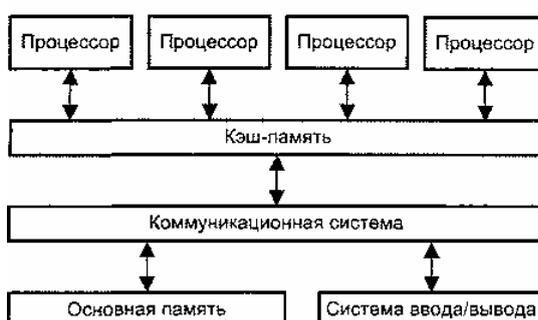


Рисунок 7.13 SMP-система с совместно используемой кэш-памятью

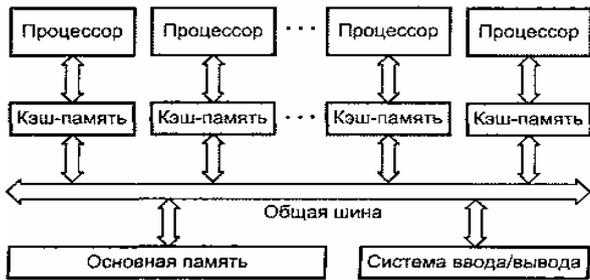


Рисунок 7.14 – Структура SMP-системы с общей шиной

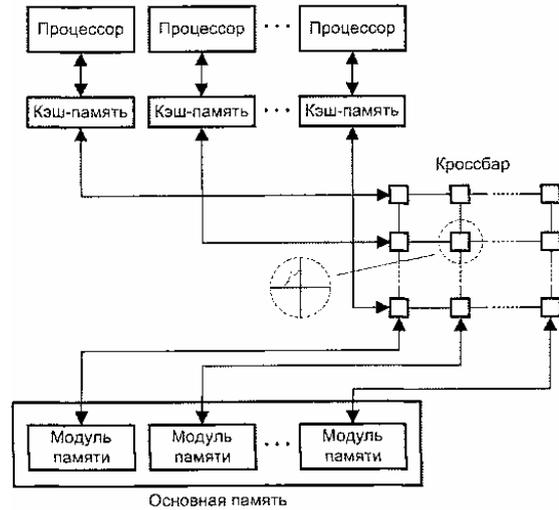


Рисунок 7.15 – Структура SMP-системы с коммутатором типа «кроссбар»

42. Кластерные вычислительные системы

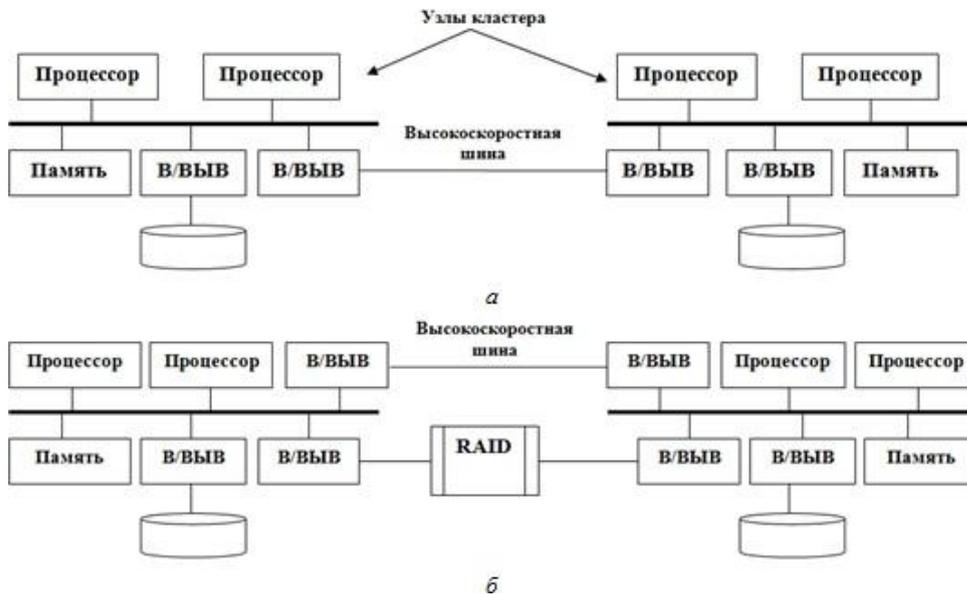


Рисунок 7.16 – Конфигурации кластеров: *a* – без совместно используемых дисков; *б* – с совместно используемыми дисками